

(10) 日本国特許庁 (JP)

(12) 特許公報 (B2)

(11) 特許番号

第2506840号

(15) 発行日 平成8年(1996)6月12日

(24) 登録日 平成8年(1996)4月2日

(51) Int.Cl.
G02F 1/138
H01L 29/788類別記号
600
9050-49MP1
G02F 1/138
H01L 29/78技術表示箇所
500
624

発明の概要(全9頁)

(21) 出願番号 特願昭62-282453
 (22) 出願日 昭和62年(1987)11月9日
 (23) 公開番号 特開平1-123292
 (24) 公開日 平成1年(1989)5月16日

(73) 特許権者 929099999
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (72) 発明者 高原 博司
 大阪府門真市大字門真1006番地 松下電
 気産業株式会社内
 (74) 代理人 弁理士 鹤本 智之
 審査官 井口 達二
 (56) 参考文献 特開 昭63-167333 (JP, A)

(34) (発明の名前) アクティブマトリックスアレイの検査方法

(57) (特許請求の範囲)

【請求項1】 アクティブマトリックスアレイであって、
 供給側の薄膜トランジスタのドレイン端子と前記ドレイン端子に接続されている給電電極のうち少なくとも一方
 と前記薄膜トランジスタが接続されたゲート信号端子とを
 過電位駆動を押す接触させることにより接続し、次に任
 何の前記ゲート信号端子に信号を印加し、前記薄膜トラン
 ジスタが接続された前記薄膜トランジスタの欠陥を検出
 することを特徴とするアクティブマトリックスアレイの
 検査方法。

【発明の詳細な説明】

【背景上の利用分野】

本発明はアクティブマトリックス型液晶表示装置に用
 いるアクティブマトリックスアレイの検査方法に関する
 ものである。

従来の技術

近年、液晶表示装置の像素数増大に伴って、走査線数
 が増え、従来から用いられている単純マトリックス型液
 晶表示装置では表示コントラストや応答速度が低下する
 ため、もはや素子にスイッチング素子を配置したアクティブ
 マトリックス型液晶表示装置が利用されつつある。しか
 しながら前記アクティブマトリックス型液晶表示装置に
 用いるアクティブマトリックスアレイは一枚の基板に数
 万個以上の薄膜トランジスタを形成しなければならな
 い。その為すべての薄膜トランジスタを無欠陥で形成す
 ることは非常に高度な技術を要する。したがって現在の
 技術ではアクティブマトリックスアレイの良否を検査
 し、良否の判別をおこなう必要がある。そこで容易な検
 査方法がまちのぞまれている。

以下図面を参照しながら従来のアクティブマトリック

スアレイの検査方法の一例について説明する。

第4図はアクティブマトリックスアレイの一部拡大図である。ただし以下の図面において説明に不用な箇所は省略してあり、また一部拡大あるいは縮小した部分が存在する。また同一記号・同一番号の箇所は同一内容あるいは同一構成の部分である。第4図において1はゲート信号線、2はソース信号線、3は絶縁体膜、4はドレイン端子、5は絶縁電極である。また箇中の点線内の部分は連続トランジスタ(以下TFTと呼ぶ)を構成している。第5図は第4図のアクティブマトリックスアレイの等価回路である。第5図においてm(ただしmは整数)はゲート信号線、Sm(ただしSmは整数)はソース信号線、Tm(ただしSmは整数)はTFT、Pm(ただしSmは整数)は絶縁電極である。

以下、従来のアクティブマトリックスアレイの検査方法について述べる。第6図は従来のアクティブマトリックスアレイの検査方法を説明するための説明図であり、第6図において1はTFTのソース・ドレイン間短絡欠陥であり、7・8はフローブ、9は抵抗測定手段である。ここでTFTの絶縁欠陥について説明する。通常、絶縁欠陥と呼ばれているものには2種類ある。1つはTFTのゲート・ドレイン間短絡欠陥であり、前記欠陥状態はたえず絶縁電極がゲート信号線に接続されているため、陰素が非点灯状態となる。したがって、ノーマリブラック表示の時は黒欠陥となる。他の1つはTFTのソース・ドレイン間短絡欠陥であり、前記欠陥状態はたえず絶縁電極がソース信号線に接続されているため、絶縁電極に信号が常時つながれ込む。したがって、ノーマリブラック表示の時は常時点灯状態となる白欠陥となる。黒欠陥と白欠陥を比較した場合人眼の視覚には前記白欠陥がめだつため、白欠陥がアクティブマトリックスアレイ内で多く発生している場合、表示品質をいちじるしく低下させ、したがって前記アクティブマトリックスアレイは液晶表示パネルとして組みたて製品をすることはできない。ゆえにアクティブマトリックスアレイでは白欠陥となるTFTのソース・ドレイン間短絡欠陥の有無を検査することが重要となる。そこで従来のTFTのソース・ドレイン間短絡欠陥の検査はまずフローブ7をソース信号線に圧接し、次にフローブ8を各TFTが接続された絶縁電極に圧接し、フローブ7・8間の抵抗値を測定することにより欠陥を検出していた。第6図の場合フローブ7をソース信号線S2に、フローブ8を絶縁電極P2に圧接し、前記フローブ7・8間の抵抗値を測定した際、通常よりも低い抵抗値が測定され、ゆえにTFTのS2のソース・ドレイン間短絡欠陥が検出することができる。

発明が解決しようとする問題点

しかしながら従来のアクティブマトリックスアレイの検査方法ではTFTのソース・ドレイン間短絡欠陥の検出はフローブを各絶縁電極に圧接し、抵抗値を測定するしか手段がなかった。そのためフローブにより絶縁電極な

どが損傷するという問題があり、またフローブの位置決めなどに長時間を要し、検査数が数万点以上となるとともに実用にたえうるものではなかった。

本発明は上記問題点に鑑み、TFTの欠陥検査が非常に容易なアクティブマトリックスアレイの検査方法を提供するものである。

問題点を解決するための手段

上記問題点を解決するため本発明のアクティブマトリックスアレイの検査方法は複数のTFTのドレイン端子と前記ドレイン端子に接続されている絶縁電極のうち少なくとも一方と前記TFTが接続されたゲート信号線とを絶縁物を押圧接触させることにより短絡し、前記ゲート信号線に順次、信号を印加するとともに、前記TFTが接続されたソース信号線からの出力信号を検出することによりTFTの欠陥を検出するものである。

作用

本発明はTFTのドレイン端子と絶縁電極とのうち少なくとも一方とゲート信号線とを短絡状態にすることにより信号をフローブを用いて、ゲート信号線から絶縁部を通じて印加することができる。したがって前記TFTにソース・ドレイン間短絡欠陥が発生しておればソース信号線に信号が印出されることにより前記欠陥を検出することができる。

実施例

以下本発明の一実施例のアクティブマトリックスアレイの検査方法について図面を参照しながら説明する。

第1図は本発明のアクティブマトリックスアレイの検査方法を説明するための説明図である。第1図において10は電圧印加手段、Rm(ただしmは整数)はピックアップ抵抗、11は電圧測定手段、Sm(ただしSmは整数)はドレイン端子4とゲート信号線1との短絡部(以後ドレイン短絡部と呼ぶ)、Sm(ただしSmは整数)は任意のゲート信号線との接続手段、Sm(ただしSmは整数)は任意のソース信号線との接続手段である。前記ドレイン短絡部の形成方法は後で記述する。

まず第1段階としてすべてのゲート信号線との接続手段Smを開じるとともに、電圧印加手段10は連続トランジスタをオフする信号G通常は負電圧)を発生させる。次にソース信号線との接続手段Smを開じ、電圧測定手段11はピックアップ抵抗R2の両端の電圧を測定する。計測の場合ソース信号線Smに接続されているTFTが良品の場合、電圧測定手段には電圧が測定されない。つまにSmを開き、R2を閉じる。電圧測定手段11はピックアップ抵抗R2の両端の電圧を測定する。R2を開じた際、R2の短絡欠陥がR2→G2なる電流経路が生じていてため、電圧測定手段11には負電圧が測定され、ゆえにソース信号線Smに接続されたTFTにソース・ドレイン短絡欠陥が発生していることが検出される。以上の動作をくりかえしていくことにより、どのソース信号線に接続されているTFTに不良が発生しているか検出することができる。

きる。上記の場合ソース信号線S2に接続されているTFTに欠船が発生していることが検出された。次に第2段階としてS2のみを閉じ、他の任意のソース信号線との接続手順は開いたままにしておく。次にS1のみを閉じ、他の任意のゲート信号線との接続手順は開いたままにしておく。通常S1よりS4まで順次1つのゲート信号線との接続手順を開じていくとともに、電圧測定手順11はピックアップ探査R2の両端の電圧を測定していく。上記の場合S3を閉じ、信号を印加した際、R2→短絡欠船6→短絡部C2→S3なる電流経路が発生するため、電圧測定手順11に負電圧が測定され、ゆえにTFTのT32にソース・ドレイン間短絡欠船6が発生していることを検出することができる。

短絡部C11～C44の形成方法として以下のような方法がある。第2図(a)は短絡部を形成するための短絡部形成用構成体の平面図である。第2図(b)は第2図(a)のA-A'線での断面図である。第2図(a) (b)において12は電気的絶縁性を有する塗装ゴムであり、13は電気的導通性を有する塗装ゴムであり、試験した塗装ゴム13間の間隔はアクティブマトリックスアレイの絶縁ピッチに構成されている。第2図(a) (b)の短絡部形成用構成体の使用方法としては第3図に示すように各絶縁のゲート信号線と絶縁電極が短絡状態となるように塗装ゴム13を圧接する。以上的方法により第1図に示す短絡部を形成することができる。なお、短絡部形成用構成体は第1図に示すようにM×N個の組合に対し、一括して圧接してもよいし、第3図に示すように一列の絶縁に圧接

し、順次移動させて検査を行ってもよい。

発明の効果

本発明は複数のTFTのドレイン端子とゲート信号線とを短絡し、次にTFTのドレイン端子に信号を印加し、ソース信号線に出力される信号を検出することにより、TFTのソース・ドレイン短絡欠船を検出することができる。またフローブをTFTの絶縁電極5に位置決めしていく必要がないため、高速なアクティブマトリックスアレイの検査をおこなうことができる。

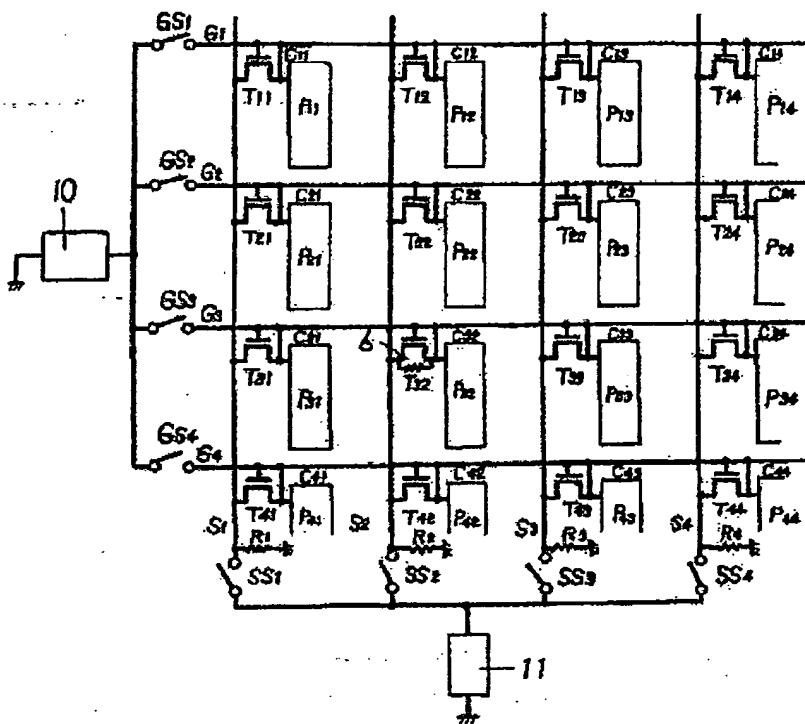
【図面の簡単な説明】

第1図は本発明のアクティブマトリックスアレイの検査方法を説明するための説明図。第2図(a) (b)は短絡部形成用構成体の平面図および断面図。第3図は短絡部形成用構成体の使用方法を説明するための説明図。第4図はアクティブマトリックスアレイの一節抜大断面図。第5図はアクティブマトリックスアレイの等価回路図。第6図は従来のアクティブマトリックスアレイの検査方法を説明するための説明図である。

1……ゲート信号線、2……ソース信号線、3……絶縁体膜、4……ドレイン端子、5……絶縁電極、6……短絡欠船、7・8……プローブ、9……抵抗値測定手段、10……電圧印加手段、11……電圧測定手段、12……絶縁ゴム、13……導電ゴム、61～64……ゲート信号線、S1～S2……ソース信号線、T11～T44……薄膜トランジスタ、P11～P44……絶縁電極、S31～S34……ゲート接続手段、S51～S54……ソース接続手段、C11～C44……短絡部。

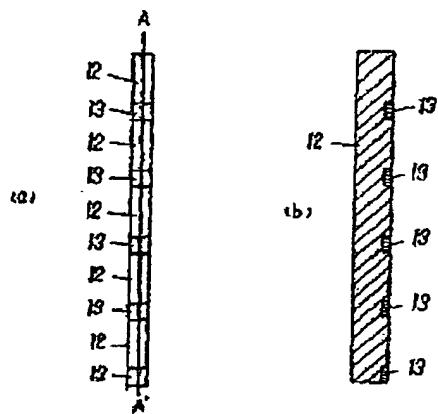
【第1回】

6 一 短絡欠陥検出装置
 10 一 電圧印加定子端子
 11 一 電圧測定信号
 G1~G4 一 ゲート信号
 S1~S4 一 ソース信号
 T11~T44 一 漢字トランジスタ
 P11~P44 一 漢字電極
 GS1~GS4 一 ゲート接続手段
 SS1~SS4 一 ソース接続手段
 C11~C44 一 短絡部

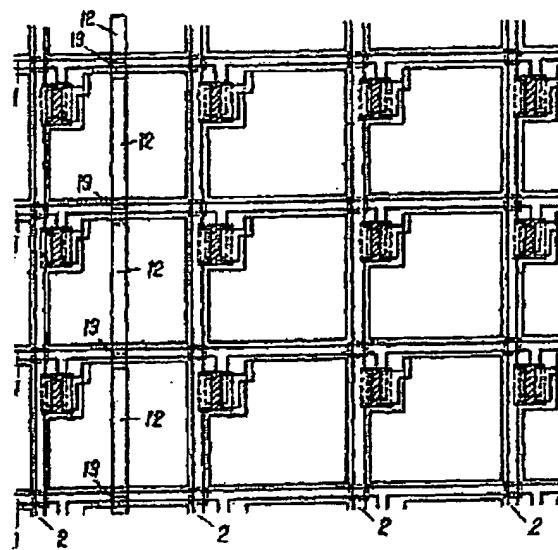


【第2圖】

卷之三

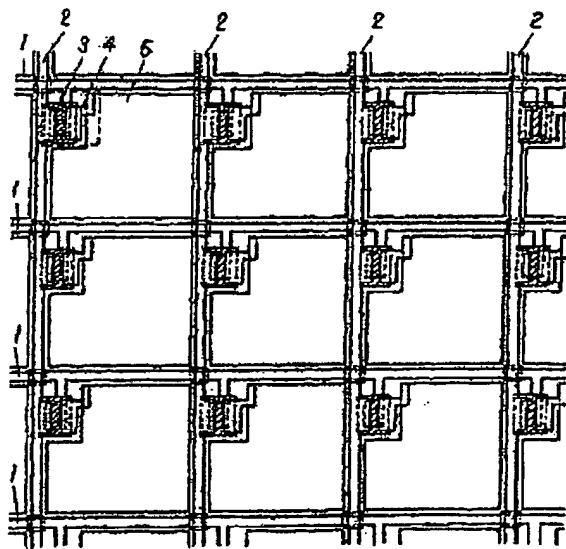


(83图)

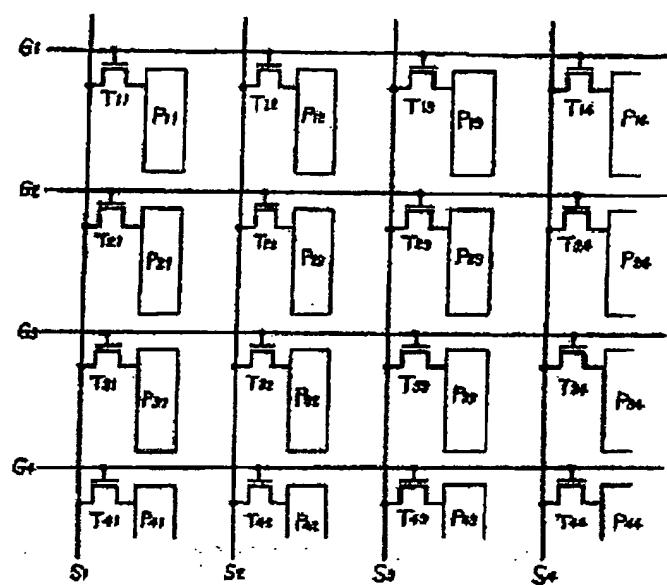


【第4図】

1 - テート化子塵
2 - ソース化子塵
3 - 花體塵
4 - ドレイン端子
5 - 放射塵板



【第5図】



【第6図】

6 - ソース・ドレン間短絡欠陥
 7,8 - プローブ
 9 - 热抗 値测定手段

